






**TAG CIRCUIT AND COMMUNICATION SYSTEM USING SAID CIRCUIT****Publication number:** JP58162881**Publication date:** 1983-09-27**Inventor:** REIMONDO ERU BARETSUTO JIYUNYI**Applicant:** SENSOOMATEITSUKU ELECTONICS CO**Classification:****- International:** *G01S13/74; G01S13/78; G06K7/00; G06K17/00; G07C9/00; G01S13/00; G06K7/00; G06K17/00; G07C9/00; (IPC1-7): G01S13/74***- European:** G06K7/00E; G06K17/00G; G07C9/00B10**Application number:** JP19830034727 19830304**Priority number(s):** US19820354156 19820305**Also published as:** US4471345 (A1) NL8300643 (A) GB2116808 (A) FR2522829 (A1) ES8407270 (A)

more &gt;&gt;

[Report a data error here](#)

Abstract not available for JP58162881

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—162881

⑮ Int. Cl.<sup>3</sup>  
G 01 S 13/74

識別記号

庁内整理番号  
6942—5 J

⑬ 公開 昭和58年(1983) 9月27日

発明の数 6  
審査請求 未請求

(全 24 頁)

⑭ タグ回路及びそれを用いる通信方式

スウエスト・サーティフオース  
・ストリート260

⑯ 特 願 昭58—34727

⑰ 出 願 人 センソーマティク・エレクト

⑱ 出 願 昭58(1983) 3月4日

ロニクス・コーポレーション

優先権主張 ⑲ 1982年 3月5日 ⑳ 米国(US)  
㉑ 354156

アメリカ合衆国33441フロリダ

・ディアフィールド・ビーチ・

㉒ 発 明 者 レイモンド・エル・バレット・  
ジュニヤ

ノースウエスト・ツエルヴス・

アヴェニュー500

アメリカ合衆国33309フロリダ  
・オークランド・パーク・ノー

㉓ 代 理 人 弁理士 岡部正夫 外 6 名

明 細 書

1. 発 明 の 名 称

タグ回路及びそれを用いる通信方式

2. 特 許 請 求 の 範 囲

1. 監視局範囲に入る1個または複数個の個別タグ回路群を検出すると共に、監視範囲に同時に入る1個以上のタグ回路を識別する通信方式であつて、

監視局に配設されて監視局の識別コードである第1コードパターンを含む質問信号を発する手段；

監視局範囲に入ると質問信号を受信する手段と、

質問信号に回答すると共に、第1コードパターンと異なりかつタグ回路の識別コードである第2コードパターンを含む一連の応答信号を発する手段と少なくとも擬似ランダム要領で連続する応答信号の間隔を変え手段とを備える手段、  
とを有するタグ回路；

及び監視局に配設されて監視範囲に入る信号を受信して検査することにより、信号がタグの識別コードである所定のコードパターンを有しているか否かを決定し、前記コードパターンを有する場合に限り、受信信号を処理装置に送る手段から成ることを特徴とするタグ回路用通信方式。

2. 特許請求の範囲第1項に記載の方式であつて、前記質問信号発生手段が、信号の発生を停止し、その間にタグから複数の応答信号を受信する充分な間隔に続いて周期的に質問信号発生サイクルに入れる様にするタイミング素子を備えることを特徴とするタグ回路用通信方式。

3. 特許請求の範囲第2項に記載の方式であつて、前記タグ回路が応答信号を発生する“t”時間継続する“n”個のタイムスロットを確立する手段を含み、1回の全作動サイクルの間に実際に発生する応答信号の数は全サイクルの間に確立される擬似ランダム

間隔の関数であり、また前記質問信号発生手段による無信号期間が少くとも  $n \times t$  に等しいことを特徴とするタグ回路用通信方式。

4. 特許請求の範囲第1項に記載の方式であつて、一連の応答信号を発生する前記手段が、キャリア周波数信号源及びキャリア信号を前記応答信号連で変調する手段を備え、また連続する応答信号の間隔を変える前記手段が変調手段の出力端に接続されたクロック入力端を有する擬似ランダム2進シケンス発生器を備えることを特徴とするタグ回路用通信方式。
5. 特許請求の範囲第4項に記載の方式であつて、連続する応答信号の間隔を変える前記手段がさらに、プリセット自在の2進ダウンカウンタ、ダウンカウンタがカウントゼロに達すると、ダウンカウンタを擬似ランダム発生器に接続することによつてダウンカウンタを擬似ランダム発生器内にその

成配置された手段を備えることを特徴とするタグ回路用通信方式。

8. 特許請求の範囲第7項に記載の方式であつて、応答信号連を発生する前記手段が、タグ回路からの信号を総称的に表わすと共に第1プリアンプルコードパターンと異なる第2プリアンプルコードパターン及び特定のタグ回路を特異的に識別する第2のプリセット自在のコードパターンを含む第2コードパターンを発生する様に構成配置された手段を備えることを特徴とするタグ回路用通信方式。
9. 監視局範囲に入る1個または複数個の個別タグ回路群を検出すると共に、監視範囲に同時に入る1個以上のタグ回路を識別する通信方式であつて、

監視局に配設されて監視局の識別コードである第1コードパターンを含む質問信号を発生する手段；

監視局範囲に入ると質問信号を受信する

時存在するカウントにプリセットする手段、及び応答信号を発生する  $n$  個のタイムスロットの度にダウンカウンタを刻時して、ダウンカウンタがカウントゼロに達する各タイムスロットの間に応答信号を発する手段を備えることを特徴とするタグ回路用通信方式。

6. 特許請求の範囲第5項に記載の方式であつて、前記タグ回路が夫々  $t$  時間継続する  $n$  個のタイムスロットを確立する手段を有し、また質問信号発生手段による無信号発生期間が少くとも  $n \times t$  に等しいことを特徴とするタグ回路用通信方式。
7. 特許請求の範囲第2項に記載の方式であつて、質問信号を発生する前記手段が、第1コードパターンを形成し、かつ監視局からの信号を総称的に示す第1プリアンプルコードパターン及び特定の監視局を識別する第1のプリセット自在のコードパターンから成るコードパターンを発生する様に構

手段、

質問信号を検査して第1コードパターンがプリセット質問コードパターンに相当するか否かを決定する手段、

質問信号の検査からパターンが一致することが判つた場合に限り質問信号に応答すると共に、第1コードパターンと異なりかつその識別コードである所定の第2コードパターンを含む一連の応答信号を発生する手段、及び少くとも擬似ランダム要領で連続する応答信号の間隔を変える手段、から成る手段とを備えるタグ回路；

及び監視局に配設されて、監視範囲に入る信号を受信検査して信号がタグの識別コードである所定のコードパターンを有するか否かを決定し、前記コードパターンが存在する場合に限り受信信号を処理装置に送る手段から成ることを特徴とするタグ回路用通信方式。

10. 監視局範囲に入ると同時に監視範囲に入

つた他のタグ回路とは別に監視局と通信して識別信号を送るタグ回路であつて、

監視範囲に入ると、監視局から第1コードパターンを含む質問信号を受信する手段と；

質問信号に回答すると共に、第1コードパターンと異なりかつタグ回路の識別コードである所定の第2コードパターンを含む一連の応答信号を発生する手段と少くとも擬似ランダム要領で連続する応答信号の間隔を変える手段とを備える手段；

から成ることを特徴とするタグ回路。

11. 特許請求の範囲第10項に記載の回路であつて、さらに応答信号を発する“ $t$ ”時間継続する“ $n$ ”個のタイムスロットを確立する手段から成り、また1回の全作動サイクル中に実際に発せられる応答信号の数が全サイクル中に確立される擬似ランダム間隔の関数であることを特徴とするタグ回路。
12. 特許請求の範囲第10項に記載の回路で

14. 特許請求の範囲第13項に記載の回路であつて、前記タグ回路が夫々“ $t$ ”時間継続する“ $n$ ”個のタイムスロットを確立する手段を含み、また質問信号発生手段による無信号発生期間が少くとも $n+t$ に等しいことを特徴とするタグ回路。

15. 特許請求の範囲第10項に記載の回路であつて、前記応答信号連発生手段が、タグ回路から送られてくる信号を総称的に表わすプリアンブルコードパターン及び特定のタグ回路を特異に識別するプリセット自在のコードパターンを含むコードパターンを発生する様に構成配置された手段を含むことを特徴とするタグ回路。

16. 特許請求の範囲第15項に記載の回路であつて、前記応答信号連発生手段がさらに各応答信号にプリセット自在のコードパターンに係する誤り訂正コードパターンを付加する手段を含むことを特徴とするタグ回路。

あつて、前記応答信号連発生手段が、キャリア周波数信号源及びキャリア信号を応答信号連で変調する手段を備え、また連続応答信号の間隔を変える前記手段が、変調手段の出力端に接続された入力端を有する擬似ランダム2進シーケンス発生器を備えることを特徴とするタグ回路。

13. 特許請求の範囲第12項に記載の回路であつて、連続する応答信号の間隔を変える前記手段がさらに、プリセット自在の2進ダウンカウンタ、ダウンカウンタがカウントゼロに達すると、ダウンカウンタを擬似ランダム発生器に接続してダウンカウンタを擬似ランダム発生器内にその時存在するカウントにプリセットする手段、及び応答信号を発する“ $n$ ”個のタイムスロットの度にダウンカウンタを刻時してダウンカウンタがカウントゼロに達する前記タイムスロットの度に応答信号を発生する手段とを備えることを特徴とするタグ回路。

17. 特許請求の範囲第16項に記載の回路であつて、前記誤り訂正コードパターン付加手段がハミング発生器であることを特徴とするタグ回路。

18. 監視局範囲に入ると、同時に監視範囲に入る他のタグ回路とは別に監視局と通信してこれに識別信号を送るタグ回路であつて、

監視範囲に入る際に監視局から第1コードパターンを含む質問信号を受信する手段；  
質問信号を検査して第1コードパターンがプリセット質問コードパターンに相当するか否かを決定する手段；

及び検査によりパターンが一致する場合に限り質問信号に回答すると共に、第1コードパターンと異なりかつそのタグ回路の識別コードである所定の第2コードパターンを含む一連の応答信号を発する手段と少くとも擬似ランダム要領で連続する応答信号の間隔を変える手段とを備える手段；  
から成ることを特徴とするタグ回路。

19. 監視局範囲に入る1個または複数個の個別タグ回路群を検出すると共に、監視範囲に同時に入る1個以上のタグ回路を識別する通信方式であつて、

監視局に配設されて監視局を表わす質問信号を発する手段；

監視範囲に入ると質問信号を受信する手段と、

質問信号に回答すると共に、各タグ回路の識別コードである所定のコードパターンを含む一連の応答信号を発する手段と少くとも擬似ランダム要領で連続する応答信号の間隔を変える手段とを有する手段、とを備える複数個のタグ回路；

及び監視局に配設されて監視範囲に入る信号を受信すると共に、他のタグ回路からの応答信号と同時に一タグ回路から監視局に到達する応答信号を何れも拒絶する手段から成ることを特徴とするタグ回路用通信方式。

から出される連続する応答信号の間隔を変える手段とを有する手段、

とを備える複数個のトランスポンダ回路；

及び質問局に配設されて、トランスポンダ回路からの送信信号を受信すると共に、他のトランスポンダ回路からの応答信号と同時に一トランスポンダ回路から質問局に到達する応答信号を何れも拒絶する手段から成ることを特徴とする通信方式。

22. 特許請求の範囲第21項に記載の方式であつて、質問局に配設された前記受信手段が受信信号に存在するコードパターン遷移の発生を計時する手段、及び前記手段に回答して自蔵のクロック速度遷移が消滅すると何れの信号も拒絶する手段を備えることを特徴とする通信方式。

20. 特許請求の範囲第19項に記載の方式であつて、監視局にある前記信号受信手段が、受信信号に存在するコードパターン遷移の発生を計時する手段、及び前記手段に回答してコードパターン遷移が応答信号クロック速度に相当する所定の計時間隔で発生しない場合に信号を拒絶する手段とを備えることを特徴とするタグ回路用通信方式。

21. 質問局と複数個のトランスポンダ回路との間を同時に連絡する通信方式であつて、質問局に配設された質問信号を送信する手段；

質問信号を受信する手段と、

質問信号に回答すると共に、各トランスポンダ回路と関連しかつ2つの異なるコードパターンを合計すると自蔵のクロック速度遷移が少なくともある程度消滅する電信形式に基づく所定のコードパターンを含む一連の応答信号を送信する手段と少くとも擬似ランダム要領で各トランスポンダ回路

### 3. 発明の詳細な説明

#### 発明の背景

本発明は、通信方式に関し、特に監視局範囲に入る1個または複数個の独立タグ回路群を検出識別する方式に関すると共に、これに用いられるタグ回路に関する。

生物又は無生物に関わりなく特定物体の行き来及び居所を追跡できる通信方式の用途は数多くある。これまで固定設備を通る割合に知られた道を走行する車を追跡する方式が開発されている。例えば米国特許第3,859,624号には、応答タグを取付けた車が質問装置に接近する際に電力を受信する応答タグを用いる質問応答(I R)装置が記載されている。誘導結合で電力を受信し、特定の応答タグに特有な独自の符号化情報フィールドを発生する様に応答タグに命令する。質問装置は符号化情報フィールドを受信してタグを表わす情報信号に変換する。タグが自勢力している場合質問装置はA C電力フィールドを発生せず、

タグと質問装置との間の誘導結合は符号化情報フィールドに限定される。上記発明の開示によると、応答タグは、自勢又は質問局から送られてくる電力を受けると連続作動する。この方式はデジタル技術を利用しており、32ビットから成る応答メッセージ形式を採っている。32ビットのうち、最初の7ビットは同期化パターンを表わし、次にパリティビット及び6けたの識別番号を形成する2進10進形式の6組の4ビットがくる。応答タグは最も本質的なものに保持され、質問装置だけがタグからの受信信号の妥当性を検査する手段を備えている。

応答タグはまた当局側の職員を識別すると共に、制御領域からの出入りを監視する資格審査方式の一部として用いられて来た。上記を目的とする方式は、米国エネルギー省(テネシー州37830、ホクリツジ私書箱62)発行の、サーロー、ダブリュ、エイチ、カフイー(ThurLOW W. H. Coffey)、デビット、

の数字は夫々1及び0として定められているため、最初の16進数字は常に8以上であり、一方3番目の16進数字は7を越えることはない。この様な符号化形式及び妥当性検査方法を採用しているため、確実に利用できるコード数は65,536個の可能コードのうちの16,192個に限られてしまう。

上記の方式は何れも、1個以上の応答タグが質問点を同時に通過するのを処理することができない。タグが一行縦隊で制御点を通過するのが当然又は予測されている場合はこの様な限界を黙認できるが、キヤリヤの通常の移動を妨げるものがある場合はこれを最少限にとどめた監視機能が望まれる場合が多い。例えば病院では医師、看護婦その他の職員の居所を常時知ることができれば所望の個人との連絡を容易にする点で非常に有益である。また職員の居所がわかっていると何時誰がどの患者の看護にあたっていたか又は手術室もしくは薬局に居たかを把握して記録に残すこ

ー、バーンズ(David E. Barnes)共著の「プルトニウム保護方式の自勢型資格審査方式(The Self-Energized Credential System for the Plutonium Protection System)」

(書類番号:SAND 78-215'6、1978年12月印刷)と称するプロジェクトレポートに記載されている。この方式では、入ループが110キロヘルツの連続トーンを送り、資格審査方式が55キロヘルツトーンのバースト型識別コードを送る。55キロヘルツトーンバーストは増幅され、デコーダで2進形に変換され、一定の様式及びパリティ条件が満たされているか否かを調べるため検査される。2進コードの妥当性が確認されると、オペレーションセンタに伝送することができる。特定のコード形式は、4つの16進数字を1組としてこれを2対に分け、各対に夫々3個の同期化ビット及び1個のパリティビットを加えて、全体で24ビット長さのコードワードになる様にしている。各16進数字対の最初

とができる。その用途は広く思い付くもの全てがその対象となる。

しかし居所の記録及び重要な管理目的にこの種の方式を使用する場合は仮に1個以上のタグが同時に監視局範囲に入つても、監視局を通過するこれらのタグを確実に検出できることが肝要である。本発明はこの種の方式を提供するものであり、また以上の説明から判る様に、本発明実施例の方式は複数個の入口を通る65,536個のタグを監視するものであり、何れかの入口を同時に通過する6個までのタグを確実に処理することができる。

#### 発明の概要

本発明の第1様相によると、監視局に入る1個以上の複数個の独立タグ回路を検出すると共に、同時に監視範囲に入る1個以上のタグ回路を識別する通信方式が提供されている。この方式は監視局に配置されて該局の識別コードである第1コードパターンを有する質問信号を送出する手段、監視範囲に入つて質問

信号を受信する手段と、質問信号に回答すると共に第1コードパターンと異なりかつタグ回路の識別コードである所定の第2コードパターンを有する一連の応答信号を送出する手段及び少くとも擬似ランダム要領で連続する応答信号を交える手段で構成される手段とを備えるタグ回路、及び監視局に配置されて、監視範囲に入る信号を受信検査して、これらがタグの識別コードである所定のコードパターンを有しているか否かを決定し、所定のコードパターンが存在する場合に限り、受信信号を処理装置に渡す手段から成っている。

本発明の第2様相によると、監視局範囲に入ると同時に範囲内に存在する他のタグ回路とは別に監視局と連絡してこれに識別信号を送るタグ回路が提供されている。このタグ回路は監視局の監視範囲に入ると該局から第1コードパターンを有する質問信号を受信する手段、及び質問信号に回答すると共に、タグ回路の識別コードである第1コードパターン

れている。以下に詳細を説明する様に、入口装置15は戸口11と関連する磁気ループ（図示せず）に接続されている。医師13と14とは戸口の磁気ループと磁気結合して入口装置15と相互作用する小型の識別タグを付けている。入口装置15と関連入口ループとを監視局と考えることができる。

本発明は入口装置と識別タグとを確実に通信する方式に関するものであるが、入口装置が集めた情報を利用する下流装置を含むものではないので、余計な複雑さをさけるため、最も簡単な場合を想定して例示してある。識別タグは入口装置15の範囲に入る場合は常に戸口を通過すると思われるので、探知される人物の位置をある時点で知っていれば、特定の識別タグが室に持ち込まれた（廊下にあつたことが予めわかっている場合）又は室から持ち出された（室にあつたことがわかっている場合）ことを示す明確な信号を得ることができる。

と異なる所定の第2コードパターンを有する一連の応答信号を発する手段と、少くとも擬似ランダム要領で連続する応答信号の間隔を交える手段とで構成される手段から成っている。

次に添付図面を参照して、本発明の好適実施例の詳細を説明する。図中、同一符号は同一又は類似部品を指す。

#### 実施例の説明

第1図は廊下12に向つて開く戸口11を有する室10の見取図である。但しこれは例示を目的とする任意例である。この場合室10を病院の手術室と仮定し、何時誰が室に入つたか又は室から出たかを連続的に記録する必要があると仮定しておく。本図は2名の医師13と14とがほとんど同時に室10に入ろうとしている状態を示しているが、一方が室から出ていく間に他方が室に入ろうとして反対方向から戸口11に近づくこともあり得る。入口装置15は戸口11に隣接配置さ

本方式の基本的構成部品を第2図に示す。入口装置15は、タグの所持者と同一符号で示す複数個の識別タグと通信する質問送受信装置を含んでいる。入口装置15によつて導出された情報は出力線16を通つて情報利用局にリレーされる。これは図示されていないが、中央処理装置へのインターフェイス装置又は中央処理装置そのものと考えて良い。

入口装置15は、関連する受信部がタグ応答信号を聞き取る沈黙期間に離間した周期的な質問信号を発生する送信部（第3図にブロック線図を、また第6図に詳細図を示す）を有している。受信部のブロック線図を第4図に、また詳細図を第10A図及び第10B図に示す。第2図に示す各識別タグは、第5図にブロック線図、また第8A、8B、9A、及び9B図に詳細図を示す回路を有している。

第3図に示す様に、入口装置の送信部は、2相マーク変調器即ちマンチエスタ変調器19のゲート18を通つて、低域フィルタ・

パワーアンプ 20 に送られるキャリア信号を、例えば 25.6 キロヘルツの周波数で発生する水晶制御クロック 17 を有している。フィルタ・アンプ 20 から出される出力は、スイッチ 21 の通電即ち閉路時に、該スイッチを通じて入口ループ 22 に送られる。該ループについては、例えば第 1 図に示す戸口 11 の枠の周りに巻付けて、戸口 11 の周辺に磁界を形成するエネルギーを放射し、ループ 22 が形成する磁界に入る識別タグの受信コイルと相互作用する様に配置することができる。

またクロック 17 が発するクロック信号出力は、デバイダ・2 相発生器 23 にも送られ、32 で割られると共に分相されて、2 つのパルス列を形成する。発生器 23 から出される出力信号を実際の分周信号を単に移相したものと見なすのは、余りに短絡的すぎる。第 6 図に示す詳細な回路図から判る様に、25.6 キロヘルツのクロック出力を 2 進カウンタで二分し、スケールダウンすることによ

り 2 相マーク変調器を構成し、クロック 17 からフィルタ・アンプ 20 にパルス変調されたキャリア信号を送る。これと同時にタイマ 24 から出される動作信号は、出力線 29 を通つてスイッチ 21 に印加され、これをオンにして変調信号を入口ループに送る。

送信部が質問信号を送出する間は、時分割共用される入口ループ 22 と受信部との接続を切つておくことが望ましいがこれはタイマ出力線 29 からインバータ 30 を介してスイッチ 31 に信号を送りこれをオフにすることによつて達成される。図示の様にスイッチ 31 への入力が入力ループ 22 との接合点 32 から得られ、第 4 図に示す受信プリアンプ AGC・フィルタ回路 81 に送られる。

入口装置の受信部を説明する前に、送信部の詳細及びタグ回路の構成と作動を説明しておく。識別タグと入口装置との通信は 25.6 キロヘルツの周波数で質問応答形式で行われる。第 3 図に関する上記の様に、情報は自己

り 25.6 キロヘルツ信号の 2 つの全サイクルに等しいパルス幅、即ち 78.125 マイクロ秒のパルス幅を有するパルスを形成する。これらのパルスは 800 pps のパルス繰返数で繰返し、位相 1 出力パルスから 0.625 ミリ秒遅れて位相 2 出力パルスが発生する。任意に位相 1 とした 2 相発生器 23 から出される信号出力は、タイマ 24 及び変調器 19 のゲート 25 に送られ、一方位相 2 出力はタイマ 24 から出力の供給を受ける識別コード発生器 26 に送られる。コード発生器 26 は発生器 23 から送られる信号で刻時されると共に、タイマ出力で順序付けされ、出力線 27 を通つてゲート 25 に送られてこれを制御する信号を発生する。ゲート 25 の出力は、切換デバイダ 28 に送られる。デバイダ 28 はタイマ 24 から出力線 29 を通つて送られて来る信号で作動し、ゲート 25 から送られる信号を二分してゲート 18 に送る。ゲート 18 と 25 及びデバイダ 28 は集合的

刻時 2 相マーク変調器によつて 25.6 キロヘルツのキャリア周波数に変調される。質問情報は、メッセージ長さを 6 ビットとする毎秒 800 ビットの速度で発生する。最初の 3 ビットは 1 1 0 の固定パターンをフォローし、残りの 3 ビットを用いてタグに施設の識別子を与える訳であるが、これらの 3 ビットは 8 つの異なるコードパターンを形成する。2 相マーク形式を用いると、第 7 図に示す様な質問パターンになる。以下に説明する様に、質問シーケンスは 7.5 ミリ秒続く。識別タグは入口装置範囲内に入ると、入口装置から質問シーケンスに含まれている情報を受信する。タグ回路は、応答すべきと思われる以前にプログラム編成された周波数とビット速度の適切性、1 1 0 のプリアングルシーケンス及び 3 ビット施設識別子をチェックする。応答情報は 28 ビットのメッセージ長さで、毎秒 1600 ビット速度で、識別タグから入口装置に戻る。28 ビットのうちで最初の 4 ビット



トは 1 1 1 0 の固定パターンをフォローし、次の 16 ビットはタグの識別にあたり、次の 6 ビットは誤り検査コードを含み、また最後の 2 ビットは当座の予備として 0 0 を含んでいる。入口装置は識別タグから送られて来る情報を受信し、周波数とビット速度の適切性、及び 1 1 1 0 のプリアンプルシーケンスを検査してから、識別子、誤り検査コード及び次の 0 0 パターンを予備的に受入れる。

タグ応答形式を第 7 図の 1 行目に示す。この形式は、2.5 ミリ秒間にプリアンプルを送し、次の 10 ミリ秒間にタグ識別コードを送し、その後 1.25 ミリ秒の休止を入れてから 5 ミリ秒で誤り訂正コードを送送することを意味している。これらの時間に 0.625 ミリ秒の予備伝送形式休止を入れると、全タイムスロット期間は 19.375 ミリ秒になる。またタグ伝送全サイクルには 32 のタイムスロットがあるため、全部で 620 ミリ秒となり、これに 11.5625 ミリ秒の事後遅延時間

と 0.9375 ミリ秒の応答前休止を加えると、全サイクルは 632.5 ミリ秒になる。

第 6 図に示す様に水晶制御クロック 17 は、端子 33 でパルス出力を形成する従来型的水晶制御発振器で構成されている。端子の出力信号は、結線 34 を介して NOR ゲート 18 の第 1 入力端に直送されると共に、2 相発生装置 23 の D フリップフロップ 35 のクロック端子に送られる。フリップフロップ 35 は図示の様に接続されているため、クロック 17 から送られる信号を二分し、その出力端 Q から出される出力信号を 2 進カウンタ 36 のクロック入力端に送る。カウンタ 36 の出力端 Q0 乃至 Q3 は、図示の様に NOR ゲート 37 及び 38 の入力端に接続されている。NOR ゲート 37 の出力端はリード線 39 を介してゲート 25 の第 1 入力端に接続されている。リード線 40 は、ゲート 37 の出力線をタイマ 24 の 2 進カウンタ 41 のクロック入力端に接続している。カウンタ 41 の出力

端 Q0 乃至 Q2 は、夫々 8 チャネルデータセレクタ 42 の入力端 A、B 及び C に接続されている。データセレクタの入力端 X は、施設のプリアンプル及び識別コードの形成に用いられる。第 6 図に示す様に、入力端 X1 及び X2 は高値即ち論理 1 状態を示す電圧源に接続されている。また入力端 X3 は、論理 0 状態を示す電圧源に接続されており、一方入力端 X4、X5 及び X6 は、入口装置の識別コードを第 7 図に示す 8 つのパターンの 1 つに予備選定できる様にするセレクタスイッチ 43、44 及び 45 に接続されている。図示の様にスイッチ 43、44 及び 45 が開くと、これらが接続されている各端子が論理 0 レベルに等価接続されることは理解されよう。データセレクタの特定入力端を論理 1 レベルに接続したい場合は、当該スイッチを閉じてこれを正の電圧源に接続する。端子 X0 及び X7 は、ある種の妨害に対する防御措置として、コードパターンの前後に保護間隔又はスペー

スを入れるためのものである。図中これらの端子は、低圧即ち論理 0 レベルに接続されている。

データセレクタ 42 はさらに禁止入力端を備えている。NAND ゲート 47 の出力端はリード線 46 を介して該入力端に接続されており、一方入力端は相互接続されて、NOR ゲート 38 の出力端に接続されている。NAND ゲート 47 は NOR ゲート 38 の出力を反転して、2 相発生器 23 の位相 2 から出力パルスを導出する短期間を除いてデータセレクタ 42 の作動を禁止する。この場合データセレクタの出力端 2 は、カウンタ 41 からその入力端 A、B 及び C に印加される 2 進信号で決定される何れかの入力端に接続され、これらの 2 進信号は結線 27 を介してゲート 25 の第 2 入力端に印加される。

NOR ゲート 25 の出力は、切換デバイダ 28 を構成する D 型フリップフロップのクロック入力端に送られる。D 型フリップフロ

ツブ28の出力端 $\overline{Q}$ は、その入力端DとNORゲート18の入力端とに接続されている。またD型フリップフロップ28のリセット端子はタイマ24のNORゲート48から導出される出力線29に接続されている。NORゲート48は、相互接続されて、多入力NORゲート49の出力端に接続された入力端を有するインバータの役目をする。NORゲート49の6個の入力端は夫々7段リプルカウンタ50の出力端Q1乃至Q6に接続されている。該カウンタのリセット端子は接地され、一方クロック入力端はリード線51及び52を介してカウンタ41の出力端Q2に接続されている。カウンタ41の出力端Q2はそのクロック端子で2相発生器23の出力線39から8個の入力パルスを受信する度に状態を変更するので、リプルカウンタ50に印加される信号は、ゲート37から送られて来る信号を8で割つたものになる。

NORゲート49には、カウンタ41の3

ドウが7.5ミリ秒続き、一方無音期間が632.5ミリ秒続くことが判かる。無音期間中に第3図に示すスイッチ31はインバータ30を介して印加される信号でオンになり、第4図に示す受信回路を作動させる。識別タグが一定の入口装置の範囲に入るか否かに関わらず、入口装置は質問信号を周期的に送り続けてから応答を聴取し、聴取期間中に得られる応答の妥当性を検査して記録する。仮に応答が得られなくても作動し続ける。

本発明方式と共に使用される識別タグは入口ループに接続する独自のアンテナループを有する小型の電池作動式ソリッドステート回路装置である。第5図は、識別タグに内蔵された回路のブロック線図である。該回路はキャリヤ包絡線検波器62に出力を送るプリアンプ・フィルタ回路61に接続されて受信する端子を有する送受信タグループ60を有している。キャリヤ包絡線検波器の出力は低域フィルタ63を通つて遷移検波器64に送ら

れる。遷移検波器64から出される検波出力はパス65を介してクロック・データセパレータ66に送られ、セパレータの出力は質問シーケンス認識回路67に送られる。回路67の出力は接合点68に送られ、そこからリード線69を通つてゲート70の入力端に印加されると共に、リード線71を通つてセパレータ66に戻される。接合点68はさらに、インバータ73を介して回路62、63、64及び66の各入力端にリード線72で接続されると共に、リード線74を介してフレームカウンタ75及びタイマ76の入力端にも接続されている。

第6図の種々の論理部品に付した4桁数字はCMOSの型番号であり、これによつて当該の部品を完全に識別できる様にしている。第6図に関して説明した入口送信部の作動については当業者であれば理解し得るものと思われる。切換デバイダ28の作動はそのリセット端子がリード線29を介して印加される論理1を有する限り禁止される。これは、NORゲート49の何れかの入力端が論理1信号を有する限り何時でも起こる。回路を分析すると、25.6キロヘルツクロック信号で作動する時に、6ビットコードの送信ウイン

ドゥが7.5ミリ秒続き、一方無音期間が632.5ミリ秒続くことが判かる。無音期間中に第3図に示すスイッチ31はインバータ30を介して印加される信号でオンになり、第4図に示す受信回路を作動させる。識別タグが一定の入口装置の範囲に入るか否かに関わらず、入口装置は質問信号を周期的に送り続けてから応答を聴取し、聴取期間中に得られる応答の妥当性を検査して記録する。仮に応答が得られなくても作動し続ける。

本発明方式と共に使用される識別タグは入口ループに接続する独自のアンテナループを有する小型の電池作動式ソリッドステート回路装置である。第5図は、識別タグに内蔵された回路のブロック線図である。該回路はキャリヤ包絡線検波器62に出力を送るプリアンプ・フィルタ回路61に接続されて受信する端子を有する送受信タグループ60を有している。キャリヤ包絡線検波器の出力は低域フィルタ63を通つて遷移検波器64に送ら

信号は回路62、63及び64に送られる。またクロック77は、リード線78を介してタイマ76、クロック・データセパレータ66、マンチエスタ変調器83および2相発生器84に直接出力している。該発生器は、クロック77から送られる信号を16で割る。フレームカウンタ75は、リード線85を介してクロック・データセパレータ66に接続された出力端と、リード線86を介してゲート87の入力端に接続された出力端とを有している。タイマ76はリード線88及び88Aを介してゲート87に第2入力を導入し、ゲート87の出力は、擬似ランダム2進シーケンス応答カウンタ89の入力端に送られる。応答カウンタ89は、リード線90を介してタイマ76から及びリード線91を介してマンチエスタ変調器83からも入力を受信する。応答カウンタ89の出力は、マンチエスタ変調器83及びタイマ76の入力端への接合点92に送られる。タイマ76は、リード線

線106を介してパワーアンプ駆動器107に送られる。駆動器107の出力端は、タグループ66の両端に接続されている。

上記の通り第5図を参照して識別タグ回路部品の概略を説明したが、次に第8A、8B、9A及び9B図を参照して第5図の回路が内蔵する機能素子の実現例の詳細を説明する。先ず第8A図及び第8B図に示す水晶制御クロック77は、出力線78からクロック出力を送る従来形式のものである。タグループ60(第5図参照)の受信信号はプリアンプ・フィルタ回路61からリード線110を通じて、キャリヤ包絡線検波器62のD型フリツプフロツプ111と112のセット入力端に印加される。図示の様のリード線79及び80上の切換クロック信号は、夫々フリツプフロツプ112及び111のクロック入力端に送られる。また入力線79は、他のD型フリツプフロツプ113のクロック入力端に接続されているが、入力線80は別のD型フリ

ツプフロツプ114のクロック入力端に接続されている。フリツプフロツプ111、112、113及び114のリセット端子は全て、リード線72Aを介して質問シーケンス認識回路67のインバータ73の出力端に接続されている。フリツプフロツプ111及び112の入力端Dは論理0電圧レベルに接続されているが、フリツプフロツプ111の出力端Qはフリツプフロツプ113の入力端Dに接続され、フリツプフロツプ112の出力端Qはフリツプフロツプ114の入力端Dに接続されている。フリツプフロツプ113及び114の出力端Qは、NANDゲート115の入力端に接続され、該ゲートの出力はキャリヤ包絡線検波器62の出力端になつている。

第5図に示す様に、2相発生器84の出力端 $\phi 1$ はリード線103を介してマンチエスタ変調器83に接続され、一方出力端 $\phi 2$ は、リード線104を介して変調器83の入力端に接続されている。変調器83には、リード線105を介してシーケンス制御回路100から別の入力を送られ、またその出力はリー

ド線106を介してパワーアンプ駆動器107に送られる。駆動器107の出力端は、タグループ66の両端に接続されている。

低域フィルタ63は、4175型4連式Dフリツプフロツプ116及び4個のNANDゲート117、118、119、120で構成されており、これらの素子は図示の様に相互接続されている。4連式フリツプフロツプ

116のフリツプフロツプ構成素子のクロツク入力端は全て切換クロツク線80に接続されており、一方リセット端子はインバータ121の出力端に接続されている。またインバータ121の入力端は、リード線72Aを介してインバータ73の出力端に接続されている。NANDゲート119の出力は低域フィルタ63の出力として、遷移検波器64のD型フリツプフロツプ122の入力端Dと、排他的ORゲート123の第1入力端に送られる。フリツプフロツプ122のクロツク入力端は切換クロツク線80に、一方出力端Qはゲート123の第2入力端に接続されている。ゲート123の出力は遷移検波器の出力として、リード線65を通つてクロツク・データセパレータ66内のNANDゲート124の第1入力端に送られる。

NANDゲート124の第2入力端は、質問シーケンス認識回路67の出力端から線71Aを通つて送られて来る。クロツク・データセ

144は、NORゲート131の出力端とNORゲート150の第1入力端との間に接続されている。NORゲート150の第2入力は、ゲート136の出力端に接続されたリード線145を通つて送られて来る。リード線146は、ゲート137の出力端と、図示の様にNORゲート152に交差接続されたNORゲート151の入力端との間に接続されている。インバータ153は、ゲート150の出力端とゲート152の第1入力端とを相互接続している。カウンタ149の出力端は、図示の様にNANDゲート154の両入力端及び4051型アナログマルチプレクサ・デマルチプレクサ155の入力端A・B・Cに接続されている。マルチプレクサ155は8チャネル型装置であり、その出力端X0乃至X5は、組端子157又は158の相当する端子と選択的に相互接続する夫々のストラツプ端子156に接続されている。図示の様に装置155の出力端X0及びX1に接続され

パレータ66は、NORゲート125、D型フリツプフロツプ126、127、128と129、4017型10進カウンタ130、NORゲート131、132、133、134、135、136と137、ORゲート138と139、及びインバータ140と141で構成されている。これらの種々の部品は従来の記号法により図示の様に相互接続されている。

クロツク・データセパレータ66は、質問シーケンス認識回路67に通じる一連の出力線142、143、144、145及び146を有している。リード線142はカウンタ130の出力端Q5とD型フリツプフロツプ147の入力端Dとの間に接続されると共に、NANDゲート148の第1入力端に接続されている。リード線143は、クロツク・データセパレータ66のフリツプフロツプ128の出力端Qと2進カウンタ149のクロツク入力端との間に接続されている。リード線

ているストラツプ端子156は組端子158側の端子に接続されているが、出力端X2は組端子157側の端子に接続されている。これらは入口装置の識別シーケンスの一部として使用されるプリアンブル110を先決する固定接続である。出力端X3、X4及びX5に接続された残りのストラツプ端子は、識別タグを用いる特定施設用の識別コードに応じて、組端子157又は158の何れかに接続されることが理解されよう。装置155の端子X6は、論理1電位に接続されており、入口装置が発する6ビットの質問信号を認識してからNORゲート159の第1入力端に阻止信号を印加する。図示の様にゲート159の出力端は、クロツク・データセパレータ66のリセット部の一部を構成するORゲート138の1入力端に接続されている。第8A図及び第8B図を参照して説明した回路の作動については、第9A図及び第9B図の詳細を説明するまで保留しておく。

第9A図及び第9B図に示す様に16進2相発生器84は一对のNORゲート161及び162に接続された出力端を有する2進カウンタ160で構成されている。ゲート161の出力は位相1となり、ゲート162の出力は位相2となる。図示の様に出力端φ1(位相1)は、リード線96によつてハミング発生器95の4174型6連式Dフリップフロツプ163の夫々のフリップフロツプ構成素子のクロック端子に接続されている。フリップフロツプ163のリセット端子は全て、タイマ76の4017型10進カウンタ・デバイダ165の出力端Q1からリード線94Bを介して入力を受信するインバータ164の出力端に接続されている。ハミング発生器95はさらに排他的ORゲート166、167、168、169と170及びANDゲート171を有しており、これらは図示の様に接続されている。排他的ORゲート170の制御入力、識別シーケンス発生器98の出力

クサ172及び173のA、B、C及び禁止端子に接続(但し、マルチプレクサ172の禁止端子への接続はインバータ176を介して行われる)されている。周知の通り、4つの2進ビットは16の異なる状態を表わす容量を有しており、インバータ176は2進カウンタ175から最初の8カウントが送られて来る間にマルチプレクサ172に周期動作を与え、一方マルチプレクサ173は後続の8カウントで周期動作する。マルチプレクサ172と173とは集合的に16個の異なるビット値を順次を選択して識別コードを構成する。

識別シーケンス発生器98のマルチプレクサ172及び173の出力端Xは、相互接続されて接合点99に接続されると共に、抵抗器177及びリード線94Dを介してリード線94Aと94Cとの接合点に接続されている。

タイマ76の10進カウンタ165の出力

端の接合点99から送られ、一方ANDゲート171の制御入力はリード線94A及び94Cを介して10進カウンタ・デバイダ165の出力端Q2から送られて来る。

識別シーケンス発生器98は、4051型8チャンネルアナログマルチプレクサ・デマルチプレクサ172及び173で構成されている。ストラツプ又はジャンパを接続できる一組の端子対174の各対の一端端子は、素子172又は173の夫々の出力端X0乃至X7に接続されており、一方他側端子は、接合されて論理0電圧レベルに接続されている。任意の端子対174が開路すると論理1状態になり、一方端子対をストラツプで橋絡すると論理0状態となる。識別シーケンス発生器98の素子172及び173の制御入力はタイマ76から得られる。即ちタイマ76は、4516型2進可逆カウンタ175を備えており、該カウンタの出力端Q0乃至Q3は、ケーブル線97を介してアナログマルチプレ

端Q0乃至Q3は、一連のORゲート178、179及び180を介して2進可逆カウンタ175の入力端P0乃至P3に接続されている。カウンタ175のキャリーイン端子と可逆端子とは論理0電圧レベルに接続されている。このためカウンタ175はダウンカウンタとして作動する。カウンタ175のプリセット可能(PE)端子は、D型フリップフロツプ181の出力端Qに接続されており、一方その出力端Qはカウンタ165のクロック端子及びNANDゲート182の一端入力端に接続されている。ゲート182への第2入力はORゲート184の出力端に接続されたリード線183から導出される。またリード線183は、フリップフロツプ181の入力端D及びNORゲート185の第1入力端にも接続されている。

ゲート184の第1入力端は、カウンタ175のキャリーアウト即ちC0出力端に接続されており、一方第2入力端はNANDゲー

ト186の出力端に接続されている。またカウンタ175のクロック端子は、ゲート186の出力端にも接続されている。ゲート186には、リード線103とNANDゲート187の出力端とから入力され、またゲート187にはリード線74とカウンタ165の出力端Q4とから入力される。リード線74は、フレームカウンタ回路75の4024型7段リプルカウンタ188のリセット端子にも接続されており、カウンタ188のクロック端子はカウンタ165の出力端Q4に接続されている。

フレームカウンタ75のリプルカウンタ188の出力端Q1及びQ6は、インバータ190を通して出力線85に接続されている出力端を有するNANDゲート189の2つの入力端に接続されている。ゲート189の第3入力端は、タイマ76のカウンタ165の出力端Q1から得られる。カウンタ188の出力端Q6は、リード線86を介してゲート

87のインバータ191にも接続されている。インバータ191の出力端は、カウンタ165の出力端Q3に接続されたリード線88Aから第2入力を受けるANDゲート192の第1入力端に接続されている。カウンタ165の出力端Q3は、リード線88Bを介してマンチエスタ変調器83のD型フリツプフロツプ193のセット入力端にも接続されている。タイマ76を構成する残りの素子としては、D型フリツプフロツプ194、NANDゲート195及びANDゲート196があり、これらは全て図示の様に接続されている。

マンチエスタ変調器83はインバータ197、NANDゲート198と199、NORゲート200と201、及びインバータ202を有しており、これらは全て図示の様に相互接続されている。

擬似ランダム2進シーケンス応答カウンタ89は、マンチエスタ変調器83の出力端から到来するリード線91に接続されたクロツ

ク入力端とD型フリツプフロツプ204、205及び206のクロツク入力端に接続された出力端Q5とを有する4024型7段リプルカウンタ203を備えている。フリツプフロツプ204、205及び206の出力端Qは夫々NORゲート207の入力端に接続されており、また該ゲートの出力端はフリツプフロツプの各セット端子に接続されて、フリツプフロツプが2進数0に等しいリセット状態に同時にならない様にしている。またフリツプフロツプ204及び206の出力端Qは、フリツプフロツプ204の入力端Dに接続された出力端を有する排他的ORゲート208の各入力端に接続されている。この様にフリツプフロツプ204、205及び206は擬似ランダム2進シーケンスカウンタ内で相互接続されている。図示の特定実施例ではカウント7、6、5、2、4、1、3の順序で計数し、次にカウント7に戻つてこの順序を無限に繰返していく。応答カウンタは、フ

リツプフロツプ204、205及び206の出力端Qに夫々接続されたプリセット端子P0、P1及びP2を有する4516型2進可逆カウンタ209を備えている。カウンタ209のキャリーアウト(CO)端子は、接合点92に接続されており、そこからゲート201及び185に接続されている。またカウンタ209はタイマ76のフリツプフロツプ194の出力端 $\overline{Q}$ から到来するリード線90に接続されたプリセット可能(PE)端子を有しており、またそのクロツク端子はゲート192の出力端に接続されており、一方プリセット端子P3は論理0電位値に接続されている。

シーケンス制御回路100は、NANDゲート210、211、212と213及びNORゲート214で構成されており、これらは全て図示の様に接続されている。

第3図及び第6図を参照して説明した様に、入口装置は6ビットデジタル識別コードパタ

ーンを有する質問信号を周期的に発する。識別タグが入口装置の範囲に入ると、そのタググループはプリアンプ・フィルタ61に送られる信号をピックアップする。該信号はそこから、パルス列情報を論理レベル出力に変換して、タグの内部クロック速度の2分の1より早い速度で発生する信号遷移を排除するキャリヤ包絡線検波器に進む。キャリヤ包絡線検波器62は、質問シーケンスのトーンバースト変調包絡線のレプリカを出力する。この変調包絡線はさらに、4クロック周期以下に離間された遷移信号の伝搬を阻止する低域フィルタ63内で処理される。低域フィルタの出力は変調包絡線のレベルが変わる度にパルスを発生する遷移検波器64で処理される。遷移検波器64の出力は、クロック・データセパレータ66のゲート124に入る。該セパレータは、変調包絡線から発生するパルスを3方向のうちの1方向に伝搬できる様に制御されたタイミングを有する状態カウンタであ

る。最大タイミング公差を越える期間後最初に受信される信号は、妥当なメツセージ状態をセットする新メツセージの最初のパルスとなされる。事の推移を把握するには該パルスの受信直前の回路状態を考える必要がある。即ちフリツプフロツプ129がリセット状態にあり、その出力 $\bar{Q}$ が1であると、カウンタ149はリセットされてその出力Qが全て論理0となるため、接合点68は論理1となり、このためゲート70は駆動されてフレームカウンタ75がリセットされると共に、ゲート124、キャリヤ包絡線検波器62、低域フィルタ63及び遷移検波器64が駆動される。フリツプフロツプ129の出力Dは論理0でありまた遷移検波器64の出力は論理0であるため、ゲート124の出力は論理1となり、一方ゲート125の出力は論理0となる。フリツプフロツプ128はセットされて出力Qが0となり、カウンタ130はカウント"9"にあつて出力Q9が1となるため、インバー

タ141はゲート131に作動可能論理0を印加する。

低域フィルタ63の論理レベルが到来するパルスの印加によつて最初に変化する際に、遷移検波器64は論理1を出力する。このためゲート124の出力は0となり、フリツプフロツプ129はゲート131を介してセットされ、一方カウンタ130はゲート125を介してリセットされる。ゲート125の出力パルスは高レベルに向うクロックパルスに回答して0に戻ると、フリツプフロツプ128を刻時して出力Qが0になり出力 $\bar{Q}$ が1になるリセット状態にする。

カウンタ130はリセットされると、水晶クロック周波数を因数4で割るフリツプフロツプ126及び127を介して受信される内部クロックパルスを即座に計数し始める。データクロック遷移に対して予測されるタイミング公差内で遷移検波器64が送出する後続の遷移パルスは、ゲート136を介してクロ

ック・データセパレータ66から導出される。一方データ1遷移の予測タイミング公差範囲で受信される遷移パルスはゲート137を介してデータパルスとして回路から導出され、さらに予測公差外で受信される遷移パルスは、回路をリセットして新メツセージを作成する様に導出される。この様なパルス発生がカウンタ130の動作と一致してその端子Q1、Q2、Q5又はQ6に出力が印加されると、ゲート135及び138を介してフリツプフロツプ129にリセットパルスが印加される。しかしパルスがカウント"9"以上のカウント数と一致する場合はフリツプフロツプ129の入力端Dに論理0が印加されているため、カウンタ130の端子Q9が論理1になり、フリツプフロツプ129を刻時してリセット状態にする。何れの場合にせよゲート135及び138を介してリセット信号がフリツプフロツプ129に印加されても、カウンタ130はカウント9まで計数し続け、ゲート

131に作動可能信号を印加することにより、次に到来する遷移パルスを受信して、フリップフロップ129のセットに備える。これと同様にフリップフロップ128はゲート139を介してセットされるため、ゲート125を作動させてカウンタ130にリセット信号を送り出せる様にする。カウンタ130の出力端Q9はそのクロック作動可能( $\overline{CE}$ )端子にフィードバック接続されているため、カウンタ130がリセット信号を受信するまで論理1にあつてカウンタがそれ以上計数できない様にする。

クロック・データセパレータ66から送出される分離されたデータ信号及びクロック信号は、質問シーケンス認識回路67で、上記の様に接点156、157及び158をストラップ接続することによつて得られるプリセットコードパターンと比較される。到来する信号はこのプリセットパターンとビット毎に比較される。カウンタ149はビット毎に歩

進してセレクタ155を順序付けする。受信シーケンスがプリセットシーケンスと相違すると、マルチプレクサ155の出力端Xからゲート159及び138を介してリセット信号が印加され、フリップフロップ129及びカウンタ149をリセットする。こうして初期起動状態に戻つて上記の手順で次の受信信号に応答する。

110 プリアンブル及びプリセットパターンの最後の3ビットを構成する妥当な6ビット信号を受信すると、カウンタ149は、カウント"6"に到達し、接合点68に論理0を印加することにより数種の機能を達成できる様にする。論理0はカウンタ149のクロック作動可能入力端子にフィードバックされてカウンタの計数機能を禁止し、またゲート124を非作動状態にすると共に、信号がキャリヤ包絡線検波器62、低域フィルタ63及び遷移検波器64を通過できない様にする。即ちこの信号は接合点68にあつて、受信モード

の動作終了と送信モードの開始とを前ぶれする。

第9A図及び第9B図に示す様に、導線74を通る論理0信号は、フレームカウンタ75のカウンタ188からリセット入力を除去することにより、カウンタ188が起動できる様にする。またゲート187はゲート186に作動可能信号を印加することにより、ダウンカウンタとして作動する様に接続されたカウンタ175のクロック端子に、結線103を通つて2相発生器84から供給されるクロック信号を印加できる様にする。タグ回路の受信部が受信モードにある間は、カウンタ165が端子Q4に論理1出力を印加した状態になることは明白である。受信モードが働いている間は導線74に論理1が存在するので、ゲート187は論理0を出力してゲート186をオフにすることによりダウンカウンタ175にクロックパルスが伝わらない様にする。導線74に論理0が出現すると、

この状態が逆転する。

ダウンカウンタ175がカウントゼロに達すると、そのキャリヤアウト( $\overline{CO}$ )出力端から論理0信号を出力して、ゲート184が論理0を出力できる様にする。このためフリップフロップ181はリセットされて出力Qが論理1に等しくなり、カウンタ175のプリセット作動可能端子が働いて、カウンタ165からその入力端P0乃至P3に印加される次の数字を読取れる様にする。この様にカウンタ175がゼロ以外のある数値にセットされると、その $\overline{CO}$ 端子から論理1を出力する。このためゲート184の出力は論理1に戻る。リード線78に次の正クロックパルスが伝わると、フリップフロップ181は復元され、その出力Qは1に、また出力 $\overline{Q}$ は0になる。出力端Qに現われる論理1はカウンタ165を刻時して次のカウントに送る。カウンタ165の出力Q0が高い時カウンタ175が3カウント間セットされ、出力Q2



が高い時7カウント間セットされ、出力Q3が高い時1カウント間セットされ、またQ4が高い時、ゼロカウント間セットされる様に、カウンタ165からカウンタ175の各プリセット入力端に信号が印加される。

タイマは最初の0.625ミリ秒だけ遅延して送信を行わない様に作動する。カウンタ165の出力Q0が高値になる次のタイマ間隔は2.5ミリ秒であるがこれはブリアンブルパターン1110を送信することができる4ビットの長さに対応する。また次のタイマ間隔で16ビットの送信時間に相当する10ミリ秒が得られる。カウンタ175はこの10ミリ秒間に順序付けされて識別シーケンス発生器98内にプログラム編成された16個の異なるビットを選択する。これらのビットはシーケンス発生器98からゲート170及び171を通つてハミング発生器95に送出されると共にリード線99A及びゲート210と213を通つてマンチエスタ変調器83に

送出される。

タイマが与える次の5ミリ秒間にデータはハミング発生器95からゲート211及び213を通つて変調器83の制御ゲート198にシフトアウトされる。

タイマ76の全状態で構成される全応答は夫々フレームと呼ばれており、プロセス内のフレームの数はフレームカウンタ75に蓄積される。全部で32個のフレームを蓄積することができ、33番目のフレームの間にパルスが発生してタグを送信モードから受信モードに戻る。

マンチエスタ変調器は各フレーム間に変調されるが、キャリヤが擬似ランダム2進シーケンス応答カウンタ89からリード線92を通つて送られる出力信号によつてゲートされているため、各フレーム間に変調キャリヤ出力を発生することはない。カウンタ209で構成される応答カウンタ部は、32番目のフレーム後を除いてタイマ76の各サイクルの

間に漸減するダウンカウンタである。キャリヤはダウンカウンタ209がゼロ状態にある間だけマンチエスタ変調器の出力端に渡される。マンチエスタ変調器83は、リード線106に出力信号を送ると同時に、応答カウンタ89のリプルカウンタ203にクロック信号を戻す。カウンタ203は、フリップフロップ204、205及び206で構成される擬似2進シーケンス回路を順序付けする信号を発する前に変調器83の出力端から受信した信号を因数64で割る。応答カウンタはフレーム終了時にゼロ状態になり、擬似ランダム2進シーケンス発生器を構成するフリップフロップ204、205及び206から発生される乱数で再ロードされる。

第5図には示されていないが、タグ回路の受信モード中にパワーアンプ駆動器107が、タググループ60をロードダウンしない様に高インピーダンスを有することは理解されよう。

第10A図及び第10B図は、入口装置

15の受信部の詳細図である。入口受信部の回路段の構成及び作動は、特に第8A図を参照して説明したタグ回路段と同一であるため、第10A図にはそのブロック線図のみを示しておく。その他の類似点もいくつかあるので同様の構成及び機能を有する部品については第8A図の符号に「-1」を付けてある。例えば第10A図のキャリヤ包絡線検波器62-1は第8A図の検波器62と同一である。従つてスイッチ31をオンにした受信モード中に入口受信部が信号を受信すると、キャリヤ包絡線検波器62-1、低域フィルタ63-1及び遷移検波器64-1はこれらの入力信号を検査して遷移パルスに変える。検波器64-1から出される出力は、導線65-1を通つてゲート124-1の第1入力端に印加される。ゲート124-1の第2入力端はインバータ300の出力端に接続されており、インバータ300の入力端は接合点301に接続されている。これらの接続の

詳細を以下に示す。

第10B図の入口受信部は、第8B図のクロック・データセパレータ66とほぼ同一のクロック・データセパレータ302を有している。主な相違点は、10進カウンタ・デバイダ130-1のクロック入力を供給する回路部品にある。即ち第10B図に示す様に、10進装置130-1のクロック入力端はD型フリツプフロツプ303の出力端Dに接続されており、また該フリツプフロツプの端子Dと $\bar{Q}$ とは相互接続されて分周器を構成している。フリツプフロツプ303のクロック入力端には第10A図に示すインバータ305の出力端に接続されたリード線304から $\overline{CLK}$ クロック信号が供給される。また該インバータの入力端は水晶制御クロック77-1のクロック出力線78-1に接続されている。従つて、第8B図に示す回路の10進カウンタ・デバイダ130に供給されるクロック周波数は四分されるが、第10B図に示す回

クロック・データセパレータ302の構成及び機能はクロック・データセパレータ66と同一である。

セパレータ302は適切なクロック及びデータパルスを受信すると、これらを識別シーケンス認識回路309に渡す。回路309は第8B図に示す質問シーケンス認識回路67と同様の多くの構成部品を有しているため、これらが同一のものである限りは、同一符号に「-1」を付けてある。識別シーケンス認識回路309が推定識別タグから到来する信号を検査できる様にするため、可能タグから受信される最初の4ビット即ちプリアンプルをビット単位で比較する回路が設けられている。これは4017型10進カウンタ・デバイダ310と4016型4連アナログスイッチとを組合せ前者の出力端Q0乃至Q3を後者の4区分311、312、313及び314の制御入力端に接続することによつて得られる。スイッチ部311、312及び

路のこれに匹敵するクロック周波数は二分されるだけである。識別タグ送信部のポー速度は入口送信部の2倍であることからしてその理由は自明である。入口送信部のポー速度が低いのは、第6図に示す該送信部のクロック17と2進カウンタ36との間に追加のフリツプフロツプ35が配設されているからである。

入口受信部のクロック・データセパレータ302とタグ受信部のセパレータとその他の相違点は、前者のゲート138-1の入力端をフレームカウンタの出力端に接続する代わりにリード線306を介して処理装置(P.U.)307の出力端に接続している点にある。またリード線306は抵抗器308を介して論理0電位レベルに接続されている。従つて処理装置307から論理1が出力されない場合は、リード線306は論理0値となり、処理装置が論理1電圧レベルを出力すると、これは論理1値に変わる。その他の点については

313のIN端子は相互接続されてゲート152-1の出力端に接続されており、一方スイッチ部314の入力端はゲート151-1の出力端に接続されている。スイッチ部311乃至314の出力端は全て相互接続され、抵抗器315を介して論理1電位レベルに接続されている。抵抗器315とスイッチ出力端との間の接合点はゲート159-1の第1入力端に接続されている。カウンタ310のリセット端子は、クロック・データセパレータ302のフリツプフロツプ129-1の出力端 $\bar{Q}$ に接続されている。カウンタ310のクロック作動可能( $\overline{CE}$ )端子は、その出力端Q4及び24ビットシフトレジスタ318のインバータ317に接続された出力線316に接続されている。レジスタ318は図示の様に縦列接続された3個の4015型双対4ビット静止シフトレジスタで構成されている。第14ビットレジスタ319のデータ入力端即ちDは、リード線320を介して識別シー

ケンス認識回路309のゲート152-1の出力端に接続されている。レジスタ318を構成するシフトレジスタ部のクロック入力端は全て相互接続されて、クロック・データセパレータ302のフリツプフロツプ128-1の出力端Qに接続されたリード線143-1に接続され、リセット端子は相互接続されてインバータ317の出力端に接続されており、また出力端Qは、情報を並列転送する様に、ケーブル線321を介して処理装置307に接続されている。処理装置には、先にレジスタ318にシフトインされた符号化メッセージを受信して後続の処理を行う適宜のバッファ及びレジスタが周知要領で設けられている。

入力メッセージをビット単位で計時するため、2個の4022型8進カウンタ・デバイタ回路323及び324で構成される24ビットカウンタ322が設けられている。カウンタ323のキャリアウト端子は、カウンタ324のクロック端子に接続されている

入口装置の受信部の作動を具象化する便宜上、第10A図及び第10B図と同一符号を付した第4図のプロツク線図を参照されたい。入口装置受信部は以下の様に作動する。即ち識別シーケンス認識回路309は最初の4個の妥当な受信パルスをビット単位で比較して、これらが方式の一部を構成する識別タグの固定識別コードを構成する1110パターンに従っているか否かを調べる。入力信号がこの特定要件を満たしていると、カウンタ310はカウント"4"に到達し、その出力Q4が論理1となる。該出力端はその入力端CEにフイードバック接続されているため、カウンタ310の計数作用を禁止する。出力Q4は、さらにインバータ317を介して、シフトレジスタ318のレジスタ部及びカウンタ322のカウンタ部からリセット信号を除去する役目もする。このため追加の妥当な24ビットを受信すると、これらは順次にシフトレジスタ318にシフトされると共に、24ビット

ため、カウンタ323は各8進パルスをカウンタ324に送る。またカウンタ324の出力端Q3は接合点301に接続されている。カウンタ323と324とはこの要領で24個の入力パルスに対して1個の出力パルスを発生する。カウンタ323と324とのリセット端子はインバータ317の出力端に接続されているため、24ビットカウンタ322は24ビットシフトレジスタ318と同時にリセットされる。カウンタ323と324とのクロック作動可能端子は、図示の様に論理0電位レベルに接続されているため、これらのカウンタのリセット端子にリセット信号が印加されない場合は作動可能状態に保持されて計数することができる。

24ビットカウンタ322から信号出力を印加される接合点301は、処理装置307の入力端及び接合点301に接続された上記の部品に接続されており、これらは全て第10B図に明示されている。

カウンタ322に送られて計数される。カウンタ322は24ビットを受信して論理1を出力し、処理装置に信号を送つて、レジスタ318から信号を転送するケーブル線321から信号を受信できる様にする。

これと同時に接合点301の信号は、ゲート124-1と70-1、リセットキャリヤ包絡線検波器62-1、低域フィルタ63-1及び遷移検波器64-1をプロツクする。さらにシフトレジスタ318から処理装置307への全メッセージの転送を妨害する信号受信は、処理装置307がケーブル線321を介してメッセージを受信し終えるまでプロツクされる。この機能を完了すると、処理装置307は論理1出力をリード線306に送り、ゲート138-1を介してフリツプフロツプ129-1にリセット信号を印加する。リセット信号はカウンタをリセットしてその出力Q4を論理0に戻すことにより、シフトレジスタ318及びカウンタ322をリセットす

る。このため接合点301の信号は論理0レベルに戻り、第10A図及び第10B図に示す入口受信部の部品を受信モードに復元する。さらにタイマ24が設定した受信モード期間中に識別タグから連続メッセージを受信する。入口受信部はこの受信モード期間中に1個以上のタグから識別信号を受信するが、これらの信号の受信は各タグの擬似ランダム発生器の出力に応じて、ランダムに選択された異なる期間中に行われるため、信号の大半は干渉しあわないことが理解されよう。上記の様にタグからの各全送信サイクルには、識別信号を送信できる32個の可能なタイムスロットが設けられているが、所定のタグを送信するには、少なくとも4個で一般に8個以下のタイムスロットで済む。タグは全て入口質問信号と同期化されているため、夫々の送信期間はほぼ同時に始まる。各タグから少なくとも数回の応答がある場合、異なるタイムスロット中に各タグから信号が送信される可能性は極め

て高い。各識別タグが独自の識別信号パターンを有していることからして、入口受信部の処理装置307は各受信信号群を識別し、特定のタグと関連付けることができる。処理装置によるその他の妥当性の検査については所望に応じて達成することができる。

信号をランダムに送信するため、1個以上のタグから同時に送信されることがある。使用する信号には、タグから送られて来るキャリア信号が位相はずれしていると、入口受信部のキャリア包絡線検波器、低域フィルタ及び遷移検波器を通らないため、通常プリアンプルが完全に抹消されたりひずんだりして欠損する性質がある。しかし、複数個のタグから送られて来るキャリア信号を充分位相合わせすることにより、遷移検波器ばかりでなくクロック・データセパレータを通して識別シーケンス認識回路309に信号を送ることができる。各タグから送られるプリアンプルが回路309に入りプリアンプル検査に通ると

シフトレジスタ318が作動して送信信号の後続部を受ける様になる。識別コードはタグによつて違ふため、無効制御をしないとレジスタ318は誤伝識別タグを受入れてしまうが、入口受信部の独自の回路部品でこの様な不詳事を阻止している。

第11図はプリアンプルの位相が合ったタグA及びBから同時に応答を送信する可能な状態を示している。識別コード(このうち最初の数ビットだけを図示する)は相違していると思われる。2つのタグから送られる信号を合計すると、ほぼ(A+B)で示す線の様になる。コードが異なる領域ではクロック信号が欠損していることがわかる。従つて符号400付近で信号が発生すると、クロック信号が抹消されているのでカウンタ130-1はカウント"9"に達し、その出力Q9が1となつて回路をリセットすることにより、別の妥当なプリアンプルを受信するまで受信できない様にする。しかし送信間隔はランダムに

選択されているため各タグからの送信信号は上記要領で受信される。

要約すると本発明は、特定のデジタルコード形式を用いて入口装置即ち監視局と識別タグとの間の通信を成立させようとするものである。変調器が用いるコード化構成は、マンチエスタとも呼ばれている2相マークコーディングとして知られている。この種のコーディングは、論理1がビットセルの中間に第2遷移を有するが論理0は有さないという特徴があり、形式内の2つの異なるコードパターンを合計すると、自蔵のクロック速度遷移が少なくともある程度消滅するという特徴を有する電信方式の一種であり、上記の様にこの特徴を活かして1つ以上の信号源から同時に受信する信号を拒絶する訳である。

図には1台の入口装置しか示していないが、病院等の施設では何百という複数台の入口装置を設け、これらを1台以上の中央処理装置(CPO)と相互接続することにより、最終

的な記録保持及び管理機能を達成できることを理解されたい。入口装置がタグを識別できると同時に、中央処理装置は入口装置を識別することができる。C P O は周知の多重送信構成を用いて各入口処理装置から記憶情報を順次に引き出すことができ、こうしてC P U は各識別タグの所在に関する情報を得ている。

入口装置の送信部は、入口装置から発せられた信号を受信する全ての識別タグを総称的に表わすプリアンプルから成る質問信号を連続的に発する。また入口装置の質問信号には該装置を設置した特定の病院その他の施設を表わすコード標識が含まれており、その病院又は施設に対して符号化されたタグだけが質問に応答する。

質問範囲に入る全てのタグは、質問信号の妥当性を検査する。信号は認められると、所定のタグに対して全て同一の複数の応答を送信期間中にランダムに選択した間隔で送信する。応答送信の開始を同期化する役目をする。

た固定された4ビットのプリアンプル1110から成る28ビットメツセージで応答する。タグは入口受信部を同期化して、タグ識別コード及びリチャードハミング (Richard Hamming) が開発した原理に基づく誤り検査コードを有する次の24ビットを受信できる様に作用する。

上記の通り監視局と複数個のタグ回路との間の通信を確立する方式に関し、本発明を説明したが、その原理を広範に応用できることを理解されたい。即ち、同一時間内に全てのトランスポンダ回路に質問したい場合に質問局と複数個のトランスポンダ回路との間の同時通信を確立する方式はこれらの原理を基にしている。この場合トランスポンダ回路はタグ回路に相当し、また質問局は監視局に相当する。

また特定実施例に関して本発明を説明したが、添付の特許請求の範囲で限定する本発明の真意から逸脱することなくその構成及び作

本実施例では夫々約19.375ミリ秒継続する32個の送信タイムスロットを設けているが入口装置とタグとの間の通信に利用できる時間及び使用するビット速度に応じてタイムスロットの数を変えられるのは勿論である。またビット速度を変えるには水晶時計の周波数を変えれば良い。このため本方式は" $t$ "時間継続する" $n$ "個のタイムスロットを配備できるものと考えることができる。

ここに記載したタグ回路は擬似ランダムシークエンス発生器を用いている。真ランダム発生源を利用することもできるが、その必要はない。しかし、擬似ランダム発生器から応答カウンタに向う7桁出力の周波数を変えることは有益であるので、タグから送信する1回の全サイクル間に必要とされる平均応答数に応じて選択すれば良い。

各タグは入口送信部との混線を避けると共に、タグから信号を受信する入口装置に対する総称的識別子として作用する様に設計され

動作を種々に変更できることは理解されよう。同じ機能を果たす多くの等価のソリッドステート素子があり、また本発明では個別の論理素子を用いたが、周知技法によつて同一回路部品又は等価素子を集積することができる。実際現用のマイクロコンピュータチップは、複数の等価の機能を果たす様にプログラム編成することができ、これらの変形は全て本発明の範ちゆうに入るものと考えられる。

#### 4. 図面の簡単な説明

第1図は、本発明を活用する環境の概略図である。

第2図は、本発明の実施例の基本素子のブロック線図である。

第3図は、第2図に示す質問送受信入口装置の質問送信部のブロック線図である。

第4図は、第2図に示す入口装置の質問受信部のブロック線図である。

第5図は、第2図に示す方式の識別タグに組込まれる回路のブロック線図である。

第6図は、第3図に示す素子の概略的論理図である。

第7図は、装置の作動の説明に有益なタイミング図である。

第8A図及び第8B図は、第5図に示す方式の受信部に示す素子の概略的論理図である。

第9A図及び第9B図は、第5図に示す方式の送信部に示す素子の概略的論理図である。

第10A図及び第10B図は、第4図に示す素子の概略的論理図である。及び

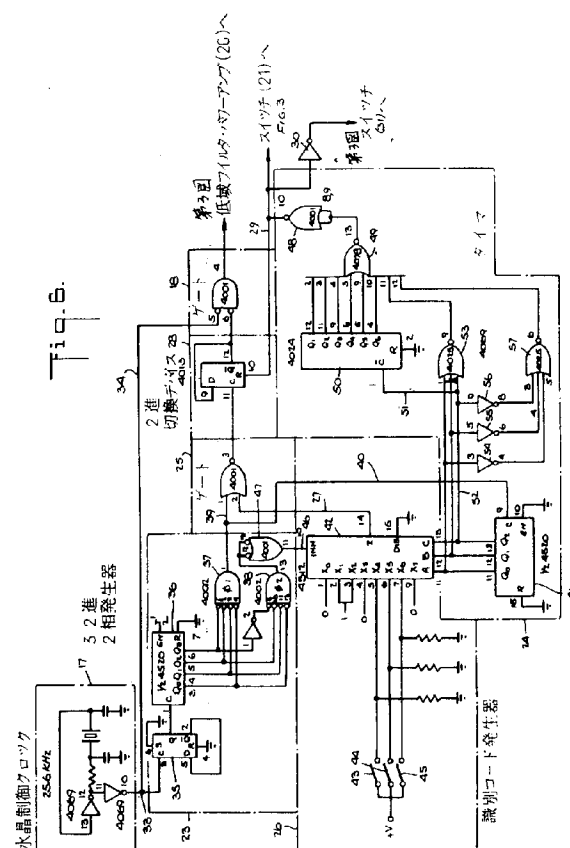
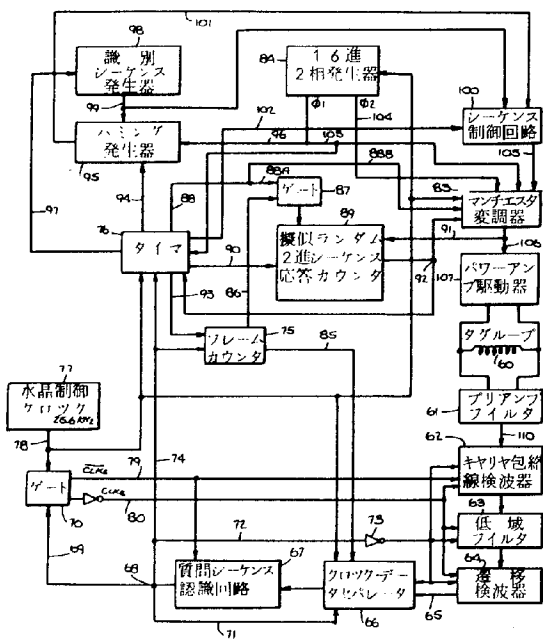
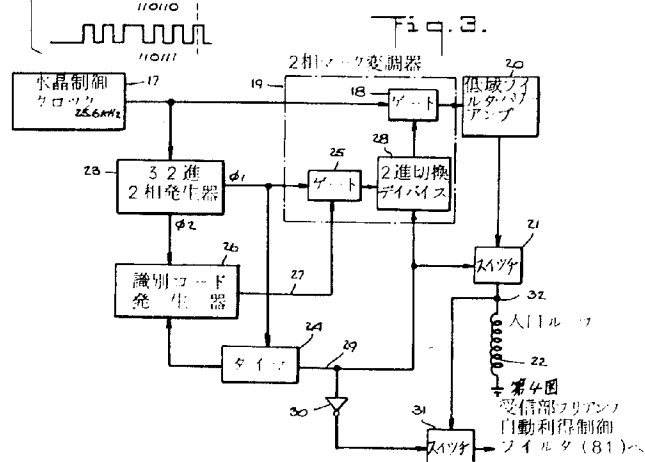
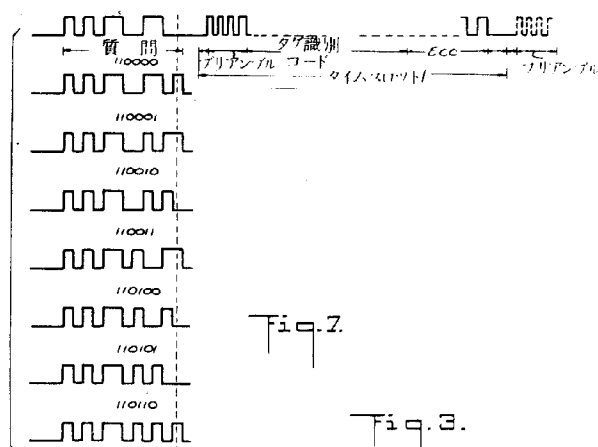
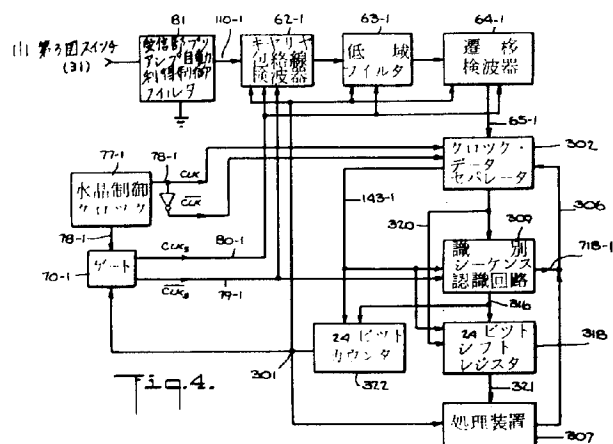
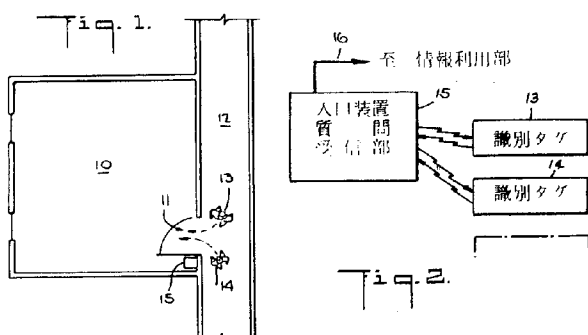
第11図は2つのタグからの送信信号の最初の部分、及び入口受信部に発生する応答信号の概略図である。

〔主要部分の符号の説明〕

13、14…識別タグ  
15…入口装置（質問送受信部）  
17…水晶制御クロック  
19…2相マーク変調器  
20…低域フィルタ・パワーアンプ  
22…入力ループ

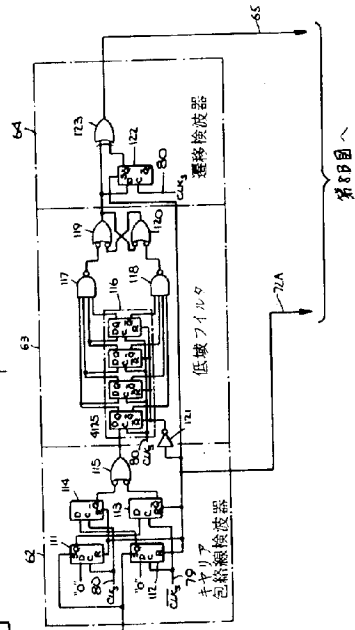
107…パワーアンプ駆動器  
302…クロック・データセパレータ  
307…処理装置  
309…識別シーケンス認識回路  
318…24ビットシフトレジスタ  
322…24ビットカウンタ

23…2相発生器  
24…タイマ  
26…識別コード発生器  
60…タググループ  
61…プリアンプ・フィルタ  
62、62-1…キャリア包絡線検波器  
63、63-1…低域フィルタ  
64、64-1…遷移検波器  
66…クロック・データセパレータ  
67…質問シーケンス認識回路  
75…フレームカウンタ  
76…タイマ  
77、77-1…水晶制御クロック  
83…マンチエスタ変調器  
84…2相発生器  
89…擬似ランダム2進シーケンス応答カウンタ  
95…ハミング発生器  
98…識別シーケンス発生器  
100…シーケンス制御回路



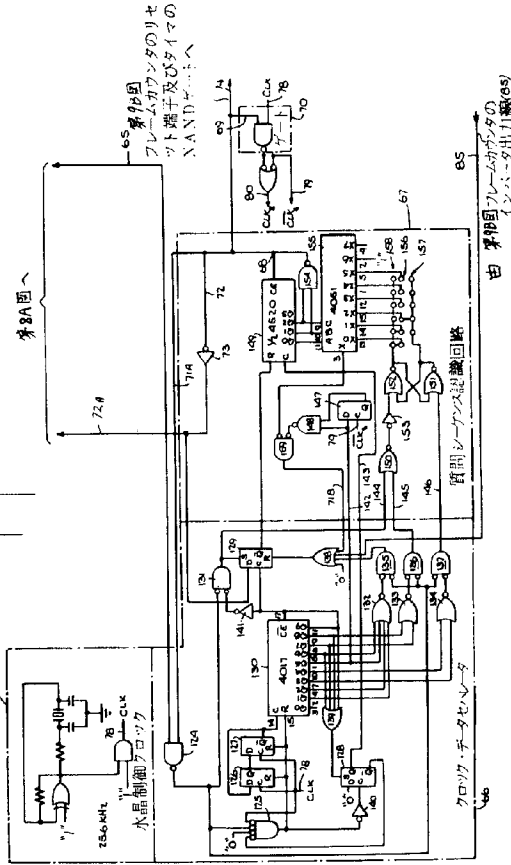
由 第5図タグループ

Fig. 8A.



第8図へ

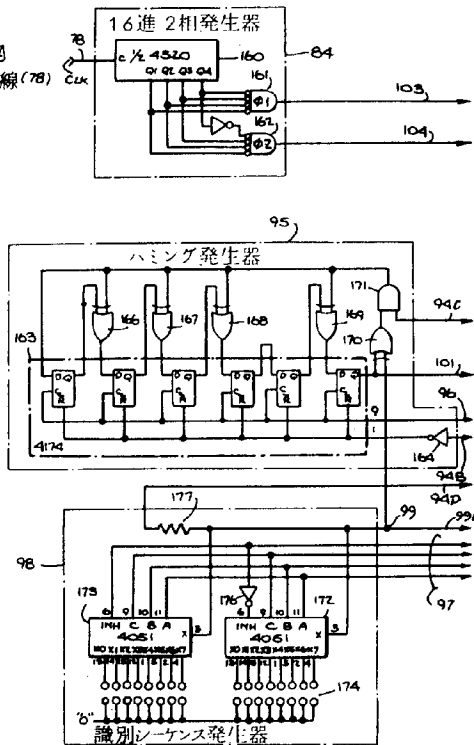
Fig. 8B.



由 第8図フレームデータのインバータ出力線へ

Fig. 9A.

第8B図  
由 リード線(78)



第9B図へ



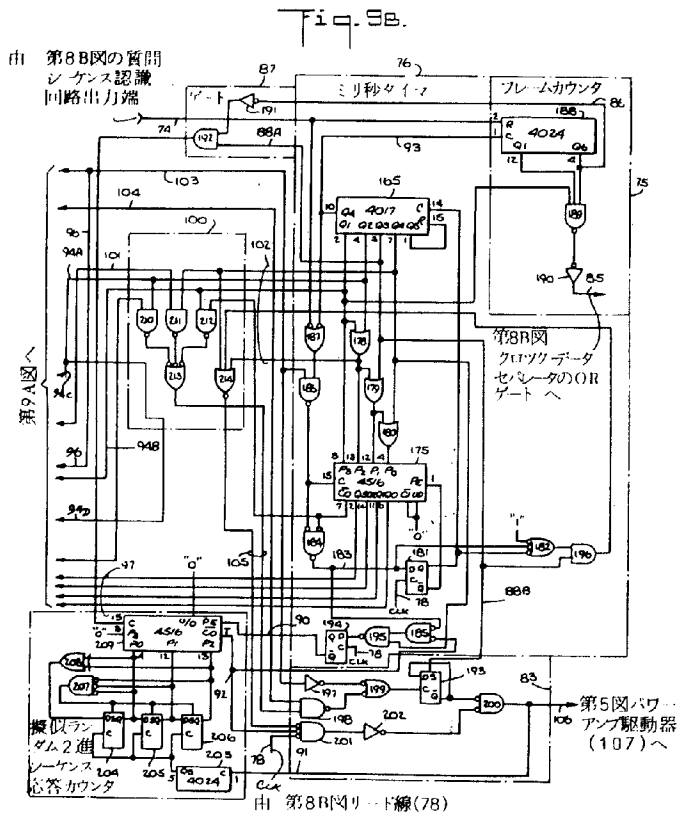


Fig. 10A.

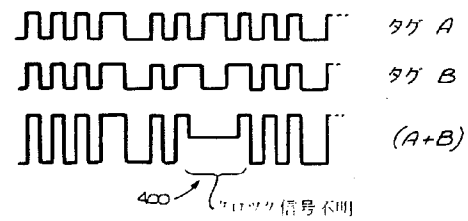
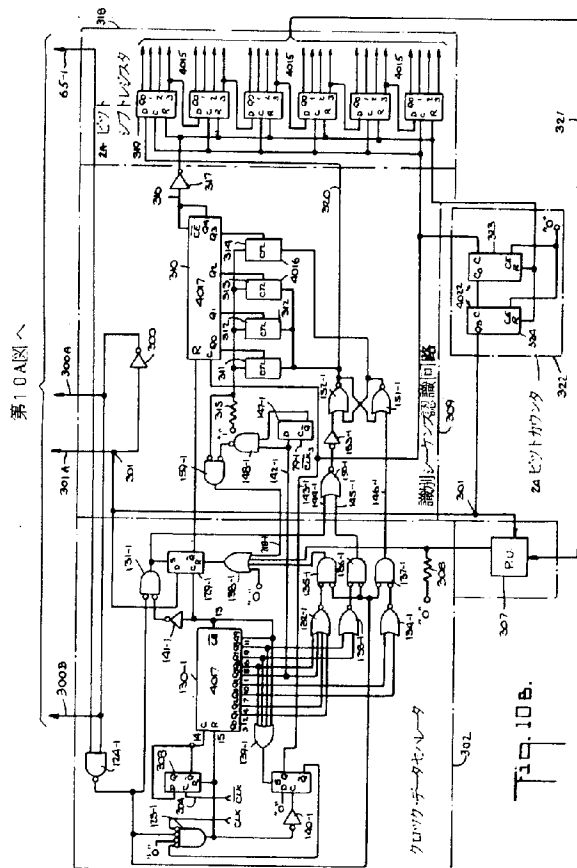
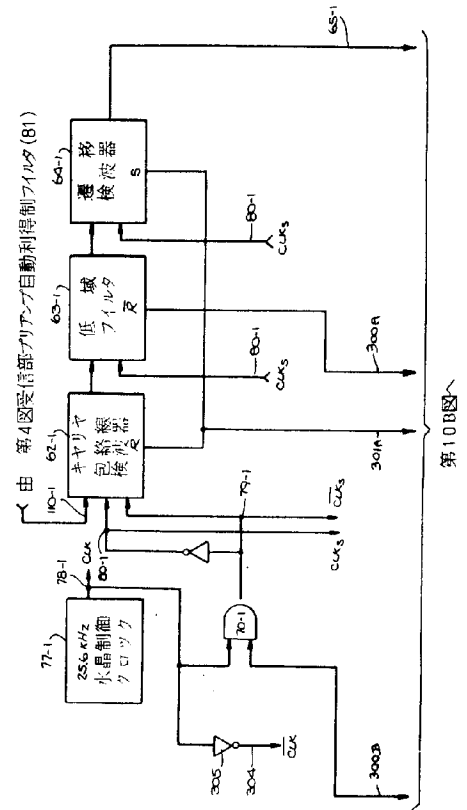


Fig. 11.